

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2002041361 A

(43) Date of publication of application: 08.02.02

(51) Int. Cl

G06F 12/14
G06K 19/073

(21) Application number: 2000225530

(71) Applicant: SHARP CORP

(22) Date of filing: 26.07.00

(72) Inventor: INOUE TAKAHIRO

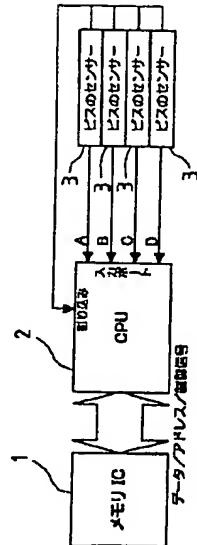
(54) ELECTRONIC DATA PROTECTION DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide an electronic data protection device which can be decomposed without erasing the data stored in a memory in its repair or inspection mode.

SOLUTION: When the main body of this device is decomposed, an interrupt occurs on a CPU 2 after the first screw is removed and the detection output of a sensor 3 is equal to '1'. Thus, the CPU 2 starts to decide the removing sequence of screws by means of the detection output of every sensor 3. When the screws are removed in the decided sequence, the data or applications stored in a memory IC 1 are never erased. Meanwhile, the CPU 2 erases all data or applications stored in the memory IC 1 when the screws are not removed in the decided sequence.

COPYRIGHT: (C)2002,JPO



【特許請求の範囲】

【請求項1】 データを記憶したメモリを内蔵する電子データ保護装置において、装置本体が分解されていることを検出する分解検出手段と、分解検出手段の検出出力に応答して、メモリ内のデータを消去するデータ消去手段と、予め定められた入力に応答して、データ消去手段によるデータの消去を禁止する消去禁止手段とを備えることを特徴とする電子データ保護装置。

【請求項2】 装置本体は、複数のビスを用いて組み立てられ、分解検出手段は、各ビスが外されていることを検出し、消去禁止手段は、各ビスが予め定められた順番で外されているときに、データ消去手段によるデータの消去を禁止することを特徴とする請求項1に記載の電子データ保護装置。

【請求項3】 消去禁止手段は、複数のキーを有しており、これらのキーが予め定められた方法で操作されると、データ消去手段によるデータの消去を禁止することを特徴とする請求項1に記載の電子データ保護装置。

【請求項4】 消去禁止手段は、複数の端子を有しており、これらの端子に対して予め定められた方法の入力があると、データ消去手段によるデータの消去を禁止することを特徴とする請求項1に記載の電子データ保護装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、クレジットカードやデビットカード等のプライベートなデータを記憶している電子データ保護装置に関する。

【0002】

【従来の技術】 周知の様に、クレジットカードやデビットカードとしては、データを記憶するメモリ、あるいはデータを処理する中央処理装置(CPU)を内蔵するものがある。この様なカードにおいては、重要かつプライベートなデータがメモリに記憶されるので、このメモリ内のデータを保護するために、様々な工夫が施されている。

【0003】 例えば、カードが分解されて、メモリ内のデータが読み出されることを防止するために、カードの分解が検されると、メモリ内のデータを消去している。より具体的には、図6のフローチャートに示す様にカードの外側を覆う筐体が分解されていることをセンサーにより検出し(ステップS601)、このセンサーの検出出力に応答して、CPUがメモリ内のデータを消去している(ステップS602)。

【0004】

【発明が解決しようとする課題】 しかしながら、上記従来のカードでは、該カードが分解されると、メモリ内の

データが必ず消去される。このため、カードの修理や点検のときに、サービスマンによってカードが分解されても、メモリ内のデータが消去されてしまい、修理や点検の後で、プライベートなデータあるいはアプリケーション等を再入力して、セットアップする必要があった。

【0005】 そこで、本発明は、上記従来の問題点に鑑みてなされたものであり、修理や点検のときには、メモリ内のデータを消去せずに分解することが可能な電子データ保護装置を提供することを目的とする。

【0006】

【課題を解決するための手段】 上記課題を解決するためには、本発明は、データを記憶したメモリを内蔵する電子データ保護装置において、装置本体が分解されていることを検出する分解検出手段と、分解検出手段の検出出力に応答して、メモリ内のデータを消去するデータ消去手段と、予め定められた入力に応答して、データ消去手段によるデータの消去を禁止する消去禁止手段とを備えている。

【0007】 この様な構成の本発明によれば、装置本体の分解が検出されると、メモリ内のデータが消去される。また、その一方では、予め定められた入力を与えれば、データの消去が禁止される。このため、この入力を与えることにより、メモリ内のデータを消去せずに、装置本体を分解することができる。

【0008】 また、本発明においては、装置本体は、複数のビスを用いて組み立てられ、分解検出手段は、各ビスが外されていることを検出し、消去禁止手段は、各ビスが予め定められた順番で外されているときに、データ消去手段によるデータの消去を禁止している。

【0009】 ここでは、各ビスを予め定められた順番で外している限りは、メモリ内のデータを消去せずに、装置本体を分解することができる。また、この順番で各ビスを外さなかった場合は、メモリ内のデータが消去される。

【0010】 更に、本発明においては、消去禁止手段は、複数のキーを有しており、これらのキーが予め定められた方法で操作されると、データ消去手段によるデータの消去を禁止している。

【0011】 予め定められた方法とは、例えば各キーを予め定められた順番で操作することであり、あるいは予め定められた幾つかの各キーを選択的に同時に操作することである。この様な方法で各キーを操作した場合は、メモリ内のデータを消去せずに、装置本体を分解することができる。

【0012】 また、本発明においては、消去禁止手段は、複数の端子を有しており、これらの端子に対して予め定められた方法の入力があると、データ消去手段によるデータの消去を禁止している。

【0013】 予め定められた方法の入力とは、例えば各端子に予め定められた順番で電圧を印加することであ

り、あるいは予め定められた幾つかの各端子に選択的に同時に電圧を印加することである。更に、予め定められた信号を予め定められた幾つかの各端子に加えても良い。この様な方法で各端子への入力を行った場合は、メモリ内のデータを消去せずに、装置本体を分解することができる。

【0014】

【発明の実施の形態】以下、本発明の実施形態を添付図面を参照して詳細に説明する。

【0015】図1は、本発明の電子データ保護装置の一実施形態を示すブロック図である。本実施形態の電子データ保護装置は、例えばクレジットカードやデビットカード等である。

【0016】この電子データ保護装置は、暗証番号等のプライベートなデータやアプリケーションを記憶したメモリIC1と、このメモリIC1への書き込みや消去を行ったり、各種のプログラムを実行する中央処理装置(CPU)2と、本体筐体を組み立てるために用いられる複数のビスの状態を検出する複数のセンサー3とを備えている。

【0017】図2(a)及び(b)に示す様に装置本体の上側筐体4と下側筐体5を重ね合わせ、ビス6を上側筐体4の小孔4aに通し、このビス6の先端を下側筐体5の凹部5aに螺合させ、これにより各筐体4、5を相互に固定している。下側筐体5の凹部5aには、センサー3であるボタンスイッチが固定されている。

【0018】ビス6を凹部5aに螺合させた状態では、このボタンスイッチの可動子3aがビス6の先端によって押下され、センサー3の検出出力が「0」となる。また、ビス6を凹部5aから抜き取ると、このボタンスイッチの可動子3aが図示されない弾性部材(例えばバネ)によって持ち上げられ、センサー3の検出出力が「1」となる。

【0019】ここには、1本のビス6を示しているが、各筐体4、5を相互に固定するために4本のビス6を用いており、これらのビス6が螺合されるそれぞれの凹部5aを下側筐体5に形成し、これらの凹部5aにそれぞれのセンサー3を設けている。

【0020】さて、この様な構成の電子データ保護装置においては、各ビス6を取り外して、各筐体4、5を離間することにより、装置本体を分解することができる。この装置本体の分解に際しては、図3に示すフローチャートの処理が行われる。

【0021】まず、装置本体の分解に際し、最初の1本のビス6が取り外され、1つのセンサー3の検出出力が「1」になると、CPU2への割り込みが発生する(ステップS101)。この割り込みにより、CPU2は、各センサー3の検出出力を用いて、各ビス6が取り外される順番を判定することを開始する(ステップS102)。各ビス6の取り外される順番が予め定められた順

番に一致すると、つまり各ビス6が予め定められた順番通りに取り外されると(ステップS102, Yes)、メモリIC1内のデータやアプリケーションが消去されずに、図3の処理が終了する。

【0022】また、各ビス6が予め定められた順番通りに取り外されなければ(ステップS102, No)、CPU2は、メモリIC1内の全てのデータやアプリケーションを消去する(ステップS103)。

【0023】従って、カードの修理や点検のときには、各ビス6を予め定められた順番通りに取り外すことによって、メモリIC1内のデータ等を消去せずに、装置本体を分解することができ、このために修理や点検の後で、データ等を再入力して、セットアップする必要がない。また、この順番を機密にしておけば、第3者によって装置本体が分解されてメモリIC1内のデータ等が勝手に読み取られる可能性を低く抑えることができる。

【0024】より具体的には、図4に示すフローチャートに示す様に、各ビス6のいずれかが取り外され、これにより各センサー3のいずれかの検出出力が「1」となって、これがCPU2の割り込みポートに加わると(ステップS101)、CPU2は、各ビス6が取り外される順番の判定を開始する。

【0025】ここで、4つのセンサー3の検出出力をA、B、C、Dとし、各ビス6を予め定められた順番通りに取り外すと、これらの検出出力A、B、C、Dが「0」から「1」に順次切り替わるものとする。この場合、最初の1本のビス6が取り外されたときに「1」となったセンサー3の検出出力に応答して、CPU2は、各検出出力A、B、C、Dが「1, 0, 0, 0」であるか否かを判定する(ステップS102a)。そして、各検出出力A、B、C、Dが「1, 0, 0, 0」であれば(ステップS102a, Yes)、CPU2は、2本目のビス6が取り外されたときに「1」となったセンサー3の検出出力に応答して、各検出出力A、B、C、Dが「1, 1, 0, 0」であるか否かを判定する(ステップS102b)。更に、各検出出力A、B、C、Dが「1, 1, 0, 0」であれば(ステップS102b, Yes)、CPU2は、3本目のビス6が取り外されたときに「1」となったセンサー3の検出出力に応答して、各検出出力A、B、C、Dが「1, 1, 1, 0」であるか否かを判定する(ステップS102c)。最後に、各検出出力A、B、C、Dが「1, 1, 1, 0」であれば(ステップS102c, Yes)、CPU2は、4本目のビス6が取り外されたときに「1」となったセンサー3の検出出力に応答して、各検出出力A、B、C、Dが「1, 1, 1, 1」であるか否かを判定する(ステップS102d)。

そして、各検出出力A、B、C、Dが「1, 1, 1, 1」であれば(ステップS102d, Yes)、メモリIC1内のデータやアプリケーションが消去されずに、図4の処理が終了する。

【0026】また、例えば2本目のビス6が取り外され、いずれかのセンサー3の検出出力が「1」になったときに、各検出出力A, B, C, Dが「1, 0, 1, 0」であって、各検出出力A, B, C, Dが「1, 1, 0, 0」でないと判定されると(ステップS102b, No)、CPU2は、メモリIC1内の全てのデータやアプリケーションを消去する(ステップS103)。

【0027】この様に各ビス6を予め定められた順番通りに取り外している限りは、メモリIC1内のデータ等が消去されることはなく、また各ビス6の取り外す順番を間違えると、メモリIC1内のデータ等が消去される。

【0028】尚、ここでは、4本のビスを例示しているが、より多数のビスを設け、これらのビスの取り外しをそれぞれのセンサーによって検出すれば、第3者によってメモリIC1内のデータ等が勝手に読み取られる可能性を極めて低く抑えることができる。例えば、10本のビスを用いて装置本体を組み立て、これらのビスの取り外しをそれぞれのセンサーによって検出するならば、これらのビスを外す順番が $10 \times 9 \times 8 \times 7 \times 6 \times 5 \times 4 \times 3 \times 2 \times 1 = 3628800$ 通り存在する。この場合、10本のビスを取り外す予め定められた順番を知らないで、この順番通りに各ビスを取り外し得る確率は $1/3628800$ である。従って、第3者によってデータが勝手に読み取られる可能性が極めて低いと言え、データの悪用を防止することができる。

【0029】ところで、本実施形態では、各ビスが予め定められた順番通りに取り外されているか否かを検出しているが、例えば複数の操作キーを設けて、これらの操作キーの操作方法を予め定めておき、装置本体の分解に際しては、これらの操作キーが該操作方法で操作されたか否かを判定し、この操作方法通りに操作が行われた場合は、メモリIC内のデータ等を消去せず、この操作方法通りに操作が行われなかつた場合は、メモリIC内のデータ等を消去しても良い。操作方法とは、例えば各操作キーを予め定められた順番で操作したり、予め定められた幾つかの各操作キーを選択的に同時に操作したり、これらの操作を適宜に組み合わせたものである。

【0030】あるいは、複数の入力端子を設けて、これらの入力端子への入力方法を予め定めておき、装置本体の分解に際しては、これらの入力端子への入力を監視し、この入力方法で入力が行われた場合は、メモリIC内のデータ等を消去せず、この入力方法で入力が行われなかつた場合は、メモリIC内のデータ等を消去しても良い。入力方法とは、例えば各端子に予め定められた順番で電圧を印加したり、予め定められた幾つかの各端子に選択的に同時に電圧を印加したり、予め定められた信号を予め定められた幾つかの各端子に加えたり、これらの入力を適宜に組み合わせたものである。また、入力端子としては、電圧や信号の入力端子だけではなく、光や音

を入力するものであっても構わない。

【0031】更に、ビスの取り外しを検出するセンサーの検出出力、操作キー、入力端子等を適宜に組み合わせても構わない。ただし、操作キーや入力端子を適用する場合は、装置本体が分解されているか否かの検出を別途行う必要がある。

【0032】要するに、本発明においては、図5に示すフローチャートの様に、装置本体の分解が検出されたときに(ステップS201)、予め定められた手順を踏まえて装置本体の分解が行われていれば(ステップS202, Yes)、メモリIC内のデータ等を消去せず、この手順を踏まえて装置本体の分解が行われていなければ(ステップS202, No)、メモリIC内のデータ等を消去している(ステップS203)。

【0033】尚、本発明は、上記実施形態に限定されるものでなく、多様に変形することができる。例えば、ビスが取り外されたことを検出するのではなく、装置本体の筐体の蓋や底板が取り外されたことを検出しても構わない。

【0034】

【発明の効果】以上説明した様に本発明によれば、装置本体の分解が検出されると、メモリ内のデータが消去されるものの、予め定められた入力を与えれば、データの消去が禁止される。また、その一方では、この入力を与えることにより、メモリ内のデータを消去せずに、装置本体を分解することができる。

【0035】従って、装置本体の修理や点検のときは、予め定められた入力を与えることによって、メモリ内のデータ等を消去せずに、装置本体を分解することができ、このために修理や点検の後で、データ等を再入力して、セットアップする必要がない。また、この順番を機密にしておけば、第3者によって装置本体が分解されてメモリ内のデータ等が勝手に読み取られる可能性を低く抑えることができる。

【0036】また、本発明によれば、装置本体の組み立てに用いられている各ビスを予め定められた順番で外している限りは、メモリ内のデータを消去せずに、装置本体を分解することができる。また、この順番で各ビスを外さなかつた場合は、メモリ内のデータが消去される。

【0037】更に、本発明によれば、複数のキーが予め定められた方法で操作されると、データの消去を禁止している。予め定められた方法とは、例えば各キーを予め定められた順番で操作することであり、あるいは予め定められた幾つかの各キーを選択的に同時に操作することである。この様な方法で各キーを操作した場合は、メモリ内のデータを消去せずに、装置本体を分解することができる。

【0038】また、本発明によれば、複数の端子に対して予め定められた方法の入力があると、データの消去を禁止している。予め定められた方法の入力とは、例えば

各端子に予め定められた順番で電圧を印加することであり、あるいは予め定められた幾つかの各端子に選択的に同時に電圧を印加することである。更に、予め定められた信号を予め定められた幾つかの各端子に加えても良い。この様な方法で各端子への入力を行った場合は、メモリ内のデータを消去せずに、装置本体を分解することができる。

【図面の簡単な説明】

【図1】本発明の電子データ保護装置の一実施形態を示すブロック図である。

【図2】(a)は本実施形態の装置本体を分解した状態を概略的に示す側面図であり、(b)は装置本体を組み立てた状態を概略的に示す側面図である。

【図3】本実施形態の装置による処理を概略的に示すフ

ローチャートである。

【図4】本実施形態の装置による処理を詳しく示すフローチャートである。

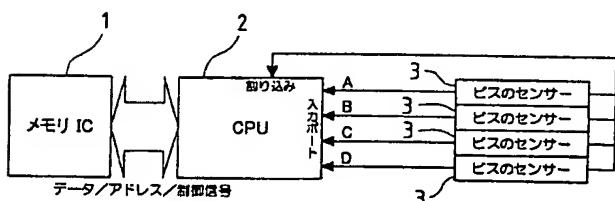
【図5】本発明の装置による処理を概略的に示すフローチャートである。

【図6】従来の装置による処理を概略的に示すフローチャートである。

【符号の説明】

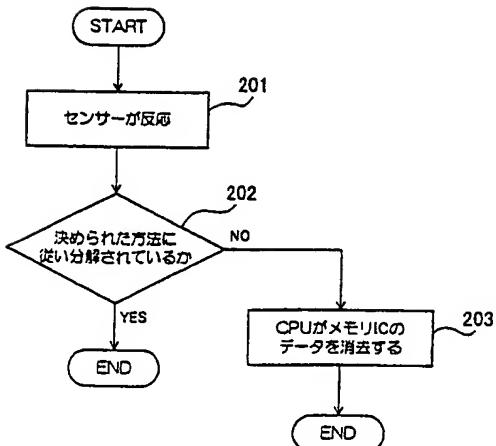
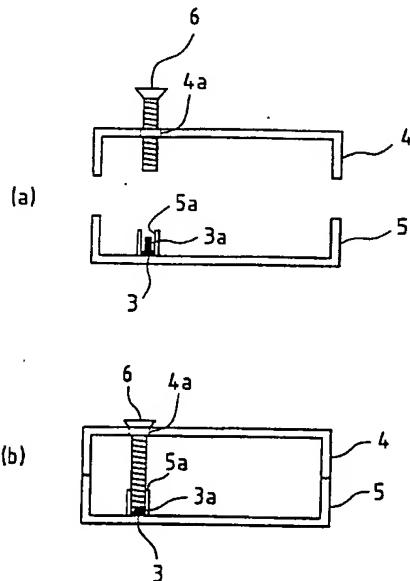
- 1 メモリ IC
- 2 中央処理装置 (CPU)
- 3 センサー
- 4 上側筐体
- 5 下側筐体
- 6 ピス

【図1】

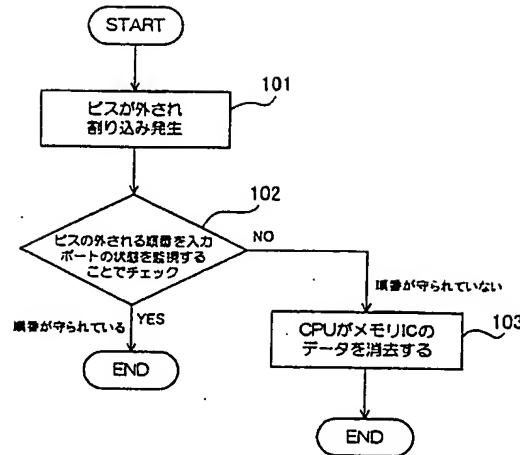


【図5】

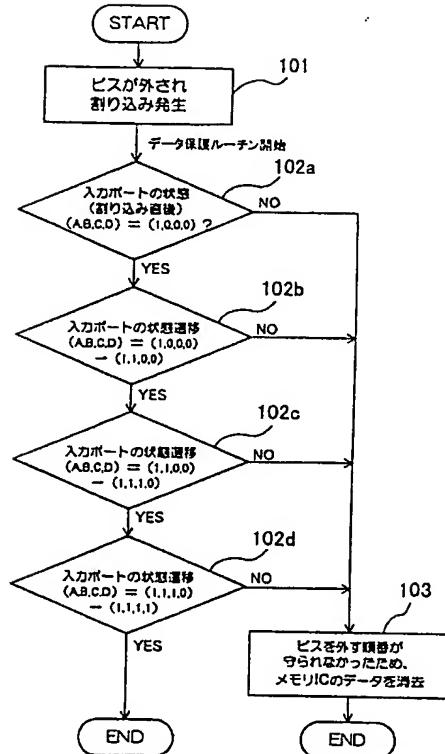
【図2】



【図3】



【図4】



【図6】

